

IV.1 Introduction :

Ce chapitre on présente le cœur de notre travail, on commence par notre méthode analytique de conception, cette méthode nous a permit de calculé les dimensions de chaque MOS, puis nous allons évoquer en détails la conception et la simulation de l'amplificateur opérationnelle à transconductance folded-cascode telle qu'on a essayé d'optimiser les paramètres suivantes : le gain de l'OTA en boucle ouverte, la stabilité de l'OTA, CMRR (taux de rejection du mode commun), PSRR (Taux de réjection des alimentations), CMR (dynamique d'entrée en mode commun).

La procédure de simulation proposée tient compte de presque les paramètres d'amplificateur opérationnel, tels que le gain en boucle ouverte, réponse en fréquence en boucle ouverte (y compris la marge de phase), le décalage la tension d'entrée (offset), le gain en mode commun, le taux de réjection d'alimentation, la plage de la tension de sortie et d'entrée en mode commun, y compris la vitesse de balayage (SR)...etc.

IV. 2 Spécifications :

À présent, nous allons voir comment on peut utiliser les règles présentées dans le précédent chapitre pour la conception d'un amplificateur opérationnel à deux étages OTA Miller (figure. IV.1), ce dernier est composé d'un étage différentiel d'entrée (M1 et M2) polarisé par un miroir de courant(M6–M5). L'étage de sortie est un étage amplificateur à charge NMOS (MP et MN) polarisé par un miroir de courant (M6–MN). La capacité C_C permet de compenser l'OTA pour ajustera marge de phase.

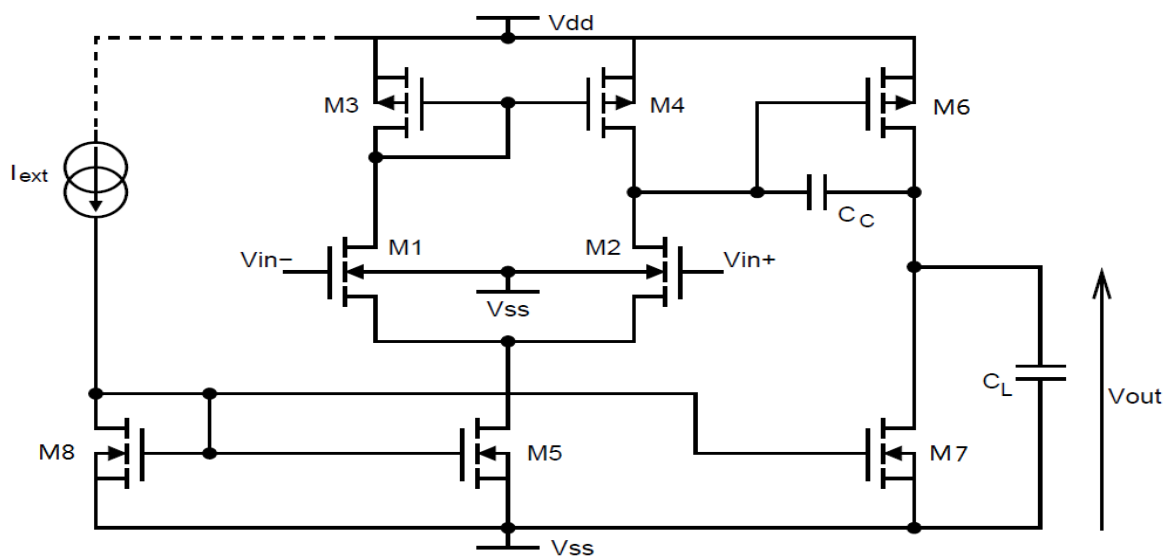


Figure IV : 1 Vue schématique d'un OTA Miller.

On désire réaliser un OTA Miller dont les caractéristiques sont :

- $SR \geq 1V/\mu s$,
- $GWB \geq 10MHz$,
- $A_v > 40dB$ (V / V),
- $P_{diss} \leq 2,5$ mW,

Contraintes pour les paramètres de conception sont définis comme :

- $C_L \geq 5$ pF,
- $100\mu m \geq (W / L) k \geq 2\mu m$,

On rappelle aussi qu'on a travaillé par la technologie 0.18 μm TSMC'S CMOS. La table IV. 1 présente les paramètres de cette technologie.

T_{oxn},T_{oxp}	4 (nm)
ϵ_{ox}	$0,875.10^{-6}$ (F/cm)
μ_{on}	263.33 (cm ² /V.s)
μ_{op}	117.96 (cm ² /V.s)
V_{Thnmodel}	0.36(V)
V_{Thpmodel}	0.40 (V)
K_{nmodel}	230 ($\mu A/ V^2$)
K_{pmodel}	103 ($\mu A/ V^2$)
λ_n	0.03(V ⁻¹)
λ_p	-0.05(V ⁻¹)

Table IV. 1 les paramètres de la technologie 0.18 μm TSMC'S CMOS.

IV. 3 Résolution du jeu d'équations :

Le jeu d'équations, de notre OTA, étant non linéaire, il n'existe pas de méthode analytique systématique pour le résoudre. Dans notre approche, on commence par résoudre les équations les plus simples (celles contenant le moins d'inconnues) pour éliminer un maximum d'inconnues puis on termine par les plus compliquées.

✓ La condition sur la marge de phase (Eq IV. 1) nous permet de trouver C_c :

$$\begin{cases} f_z = \frac{g_{m_p}}{2. \pi. C_c} = 10. GBW \\ f_{nd} = \frac{g_{m_p}}{2. \pi. C_l} = 3. GBW \end{cases} \Rightarrow 10. C_c = 3. C_l \Rightarrow C_c = \frac{3}{10}. C_l \quad IV. 1$$

Si on prend C_L = 5 pF donc :

$$C_c = \frac{3}{10} \cdot C_L = 1.5 \text{ pF} \quad \text{IV.2}$$

- ✓ La condition sur le slew rate nous permet de trouver I_5 :

$$I_5 = \text{SR} \cdot C_c = 15 \mu\text{A} \quad \text{IV.3}$$

- ✓ La condition sur la borne supérieure de la dynamique d'entrée permet ensuite de déterminer les dimensions de M3 :

$$V_{in}(\text{max}) = V_{DD} + V_{Thn} + V_{Thp} - \sqrt{\frac{I_3}{\beta_3}} \quad \text{IV.4}$$

Avec :

$$I_3 = \frac{I_5}{2} \quad \text{IV.5}$$

Et

$$\beta_3 = 2 K_P \frac{W_3}{L_3} \quad \text{IV.6}$$

On trouve :

$$\frac{W_3}{L_3} \geq 5.6 \quad \text{IV.7}$$

- ✓ On peut aussi déterminer les dimensions de M1 à partir du produit gain-bande passante :

$$GBW = A_{v1} \cdot A_{v2} \cdot f_d = \frac{g_{m1}}{2 \cdot \pi \cdot C_c} \quad \text{IV.8}$$

Avec :

$$g_{m1} = \sqrt{K_n \cdot \frac{W_1}{L_1} I_5} \quad \text{IV.9}$$

On trouve :

$$\frac{W_1}{L_1} \geq 41.15 \quad \text{IV.10}$$

- ✓ La condition sur la borne inférieure de la dynamique d'entrée permet ensuite de déterminer les dimensions de M5 :

$$V_{in}(\text{min}) = V_{SS} + V_{Thn} + \sqrt{\frac{I_1}{\beta_1}} + V_{DS5}(\text{sat}) \quad \text{IV.11}$$

On trouve $\frac{W_5}{L_5} \geq 13 \quad \text{IV.12}$

✓ La condition sur le zéro à plus de 10.GBW permet d'écrire que :

$$\frac{g_{m6}}{C_c} \geq 10 \text{ GBW} \quad \text{IV. 13}$$

Ce qui permet d'écrire :

$$\sqrt{2 \cdot K_p \cdot \frac{W_6}{L_6} \cdot I_7} \geq 10 \cdot \sqrt{K_n \cdot \frac{W_1}{L_1} \cdot I_5} \quad \text{IV. 14}$$

Avec :

$$I_7 = \frac{\frac{W_6}{L_6}}{\frac{W_3}{L_3}} \cdot \frac{I_5}{2} \quad \text{IV. 15}$$

On trouve:

$$I_7 = 301 \mu A$$

Et :

$$\frac{W_6}{L_6} \geq 225 \quad \text{IV. 16}$$

✓ L'équation IV. 15 nous permet d'écrire :

$$\frac{I_7}{I_5} = \frac{\frac{W_6}{L_6}}{2 \frac{W_3}{L_3}} = \frac{\frac{W_7}{L_7}}{\frac{W_5}{L_5}} \quad \text{IV. 17}$$

On trouve donc :

$$\frac{W_7}{L_7} = 261$$

✓ On peut facilement déterminer les dimensions de M8, car il forme un miroir de courant avec M5 :

$$\frac{W_8}{L_8} = \frac{W_5}{L_5} \cdot \frac{I_{bia}}{I_5} \quad \text{IV. 18}$$

Donc : $\frac{W_8}{L_8} = 13$

✓ Il nous reste maintenant à calculer le gain statique de l'OTA :

$$A_{V0} = A_{V1} A_{V2} = \frac{g_{m1}}{g_{ds1} + g_{ds3}} \frac{g_{m6}}{g_{ds7} + g_{ds6}} \quad \text{IV. 19}$$

$$A_{V0} = \frac{\sqrt{K_{Pn} \cdot \frac{W_1}{L_1} \cdot I_5}}{\frac{I_5}{2} \left(\frac{1}{V_{En} L_1} + \frac{1}{V_{Ep} L_3} \right)} \frac{\sqrt{2 \cdot K_{Pp} \cdot \frac{W_p}{L_p} \cdot I_n}}{\frac{I_n}{2} \left(\frac{1}{V_{En} L_n} + \frac{1}{V_{Ep} L_p} \right)} \quad \text{IV. 20}$$

On trouve: $A_v = 102 \text{ dB}$

On peut aussi calculer le bruit par l'équation IV. 21 :

$$\overline{v_{th}} = \frac{16}{3} \frac{KT}{g_{m1}} \left(1 + \frac{g_{m3}}{g_{m1}} \right) \quad \text{IV. 21}$$

On trouve : $\overline{v_{th}} = 7.7 \text{nv}^2/\text{Hz}$

On peut aussi calculer la puissance dissipé par l'équation IV. 22 :

$$P = (V_{DD} - V_{SS}).(I_8 + I_6 + I_7) \quad \text{IV. 22}$$

Ce qui donne : $P=1,20\text{mW}$.

IV. 4 Cadence :

Cadence est un environnement électronique de la conception automatisée (EDA) qui intègre dans un cadre simple des différentes applications et des outils (classe des propriétaires et d'autres fournisseurs), permettant à supporter toutes les étapes de conception et de vérification des IC à travers un environnement simple. Ces outils sont complètement générales supportent différentes technologies de fabrication. Quand une technologie particulière est choisie, un ensemble de configuration et dossiers de technologie connexes sont utilisés pour adapter l'environnement de cadence. Cet ensemble de dossiers est généralement référé comme kit de conception [2].

IV.5 Les résultats de Simulation de L'amplificateur opérationnel :

La méthodologie de conception proposée a été mise en œuvre (implémentée) en Cadence spectre et elle est appliquée à la synthèse d'un amplificateur opérationnel à deux étages, représenté sur la figure (IV.1). Les paramètres de d L'amplificateur opérationnel sont présentés dans le tableau IV. 1, ainsi que les spécifications L'amplificateur opérationnel présentées dans le tableau IV 2.

Paramètre	W (um)	L (um)
M1&M2	29μm	0.720μm
M3&M4	4 μm	0.720μm
M5	13 μm	1 μm
M6	225 μm	1 μm
M7	261 μm	1 μm
M8	104 μm	8 μm
I_{bia}	15μA	
C_c	1.5pF	
C_L	5pF	
Power dissipation	1,2 mW	
Static gain	102 dB	
Noise	7.7nv ² /Hz	

Table IV. 2 les spécifications L'amplificateur opérationnel.

A fin d'optimisé notre OTA Miller, l'architecture présentée dans le tableau précédent a été choisie par un test de plusieurs valeurs des W et L pour chaque transistor.

IV. 6 Simulation du Gain et de la marge de Phase :

Le gain et la phase d'un L'amplificateur opérationnel peuvent être obtenus en utilisant le circuit de la figure. IV .2, et le résultat de la simulation sont présentés dans figure. IV .3.

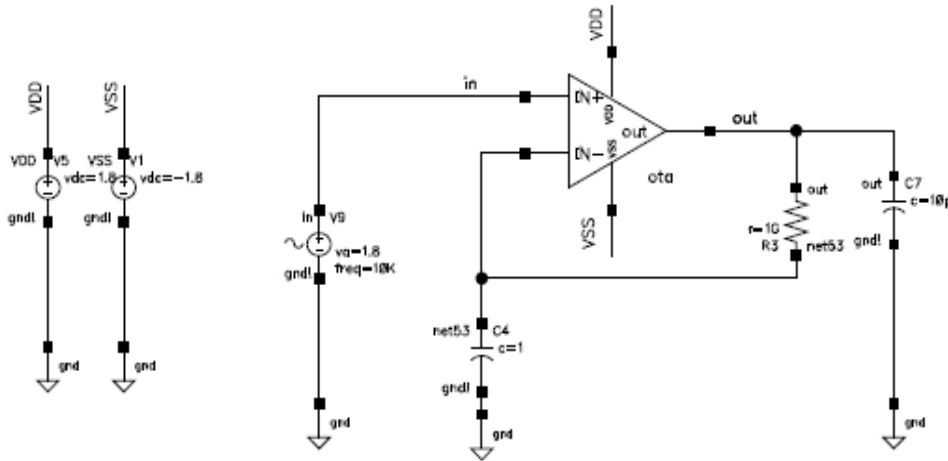


Figure IV : 2 Circuit de simulation de gain et phase d'un L'amplificateur opérationnel.

Les courbes de du gain et marge de phase sont présentés dans la figue IV.2. Le gain $G = 80$ Db et la marge de phase $PM = 67$ ($GWB - 90^\circ$), ce qui interprété par un bon gain et une bon stabilité de L'amplificateur opérationnel.

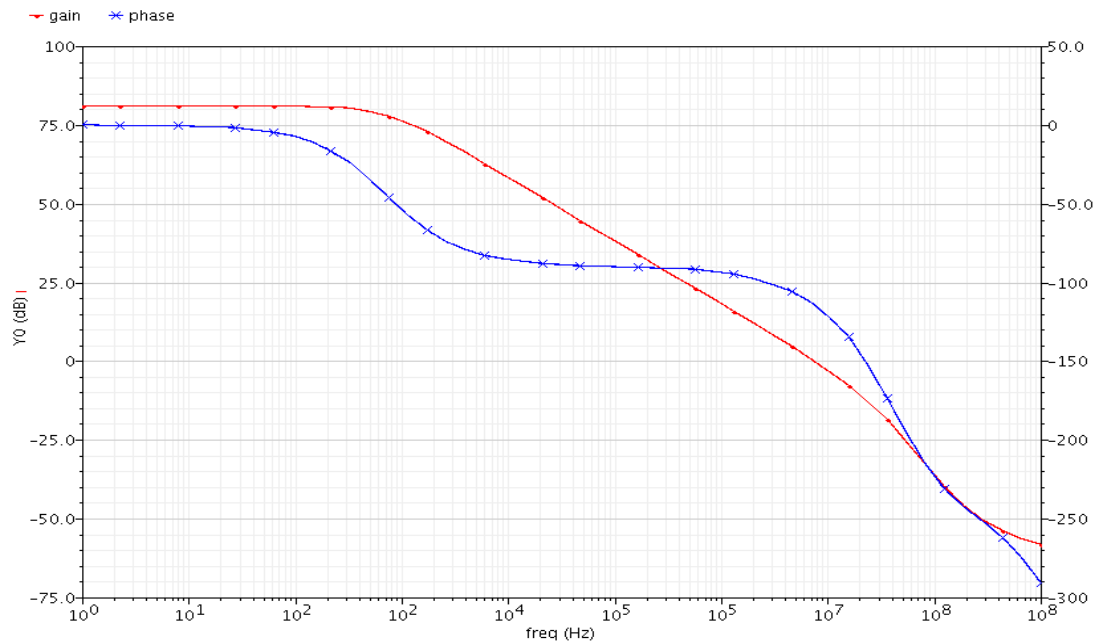


Figure IV. 3 : Réponse de l'OTA en gain et phase.

IV. 7 Simulation du Slew Rate :

La méthodologie de conception proposée est appliquée à la synthèse d'un amplificateur opérationnel à deux étages, représenté sur la figure. IV. 1. Les simulations ont été réalisées dans des conditions normales (température ambiante) sur TSMC technologie 0,18 micron en utilisant le Simulator spectre.

Nous avons implémenté le circuit d'un L'amplificateur opérationnel non-inversé à gain unitaire illustré dans la figure IV.4. A et nous avons généré le signal V pulse en utilisant un générateur de fonction et réglé l'amplitude à balancer de 0V à 1,8V. Cette configuration représentée sur la figure. IV.4 est utile dans la simulation de la vitesse de balayage (SR) et du temps d'établissement (setting time) d'un L'amplificateur opérationnel.

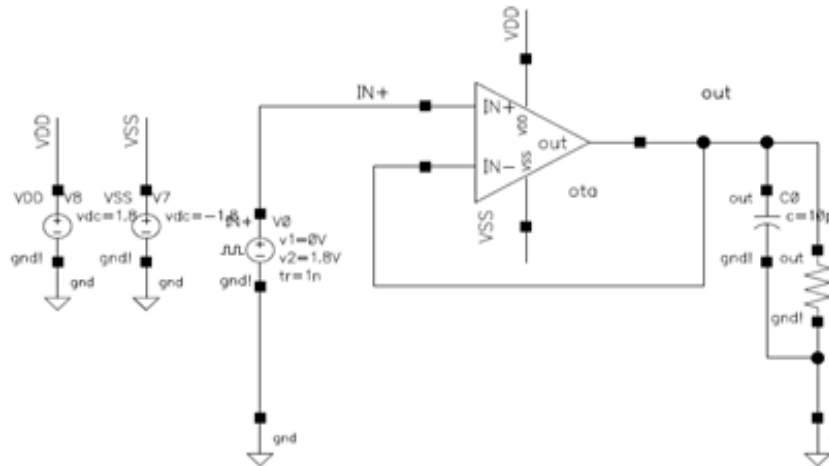


Figure IV.4 : Circuit de Simulation du slew rate.

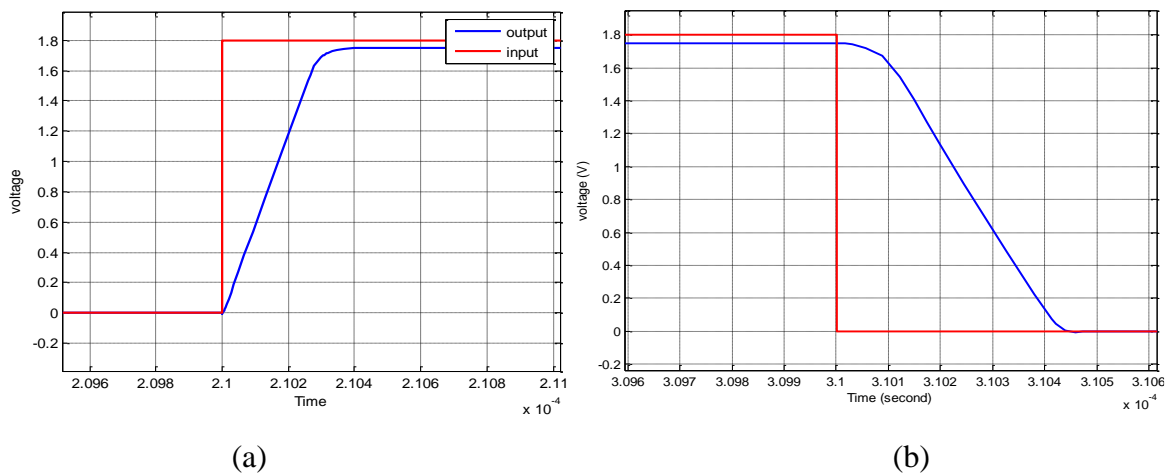


Figure IV. 5 : le taux de balayage,
(a) le taux de balayage Positive Simulé (b) le taux de balayage Négative Simulé.

Le circuit de test de slew rate nous permet de simuler le taux de balayage positif et négatif comme montre la figure IV.5. La valeur de taux de balayage (6V/us) est satisfaisante aux spécifications.

Ces simulations démontrent que la conception basée sur la méthode analytique non seulement satisfait à toutes les spécifications et les contraintes de conception, mais minimise également la superficie totale MOS, comme indiqué dans la table IV.3. Cette table résume les

résultats obtenus, chaque résultat obtenu est conforme aux spécifications du circuit. La table présente aussi une comparaison avec d'autres travaux [24] et [25].

Paramètre	(24) 0.35μm	(25) 0.35μm	Ce travail 0.18μm
Vdd (V)	1.65	-	1.8
Vss (V)	1.65	-	-1.8
CL (pF)	5F	10	5
Gain (dB)	40	85	81
GBW (M)	-	15.19	810
power dissipation	<1mw	930uw	784.8μW
phase margin (deg)	-	60.07°	67°
CMRR (dB)	-	89.9	97.96
Slew rate + (V/us)	>10	9	6
PSRR+@ 10 Hz (dB)	-	-	90
PSRR-@10 Hz (dB)	-	-	87.53
1/f noise (nV/√Hz)	-	-	25.34

La table montre la performance de notre l'amplificateur opérationnel OTA Miller conçu et optimisé, ces performances sont conformes aux spécifications désirées, donc la procédure de conception est un bon guide pour la conception d'amplificateurs opérationnels.

Par rapport aux amplificateurs opérationnels conçus dans les travaux [24], [25], notre procédure proposée, présente un OTA avec une dissipation de puissance beaucoup plus faible et une bonne stabilité (i.e. PM = 67 °). De plus, le bruit d'entrée est plus faible.

IV. 7 Conclusion :

Ce travail présente une technique de conception, de simulation et de test d'un amplificateur opérationnel CMOS sous la plateforme de conception Cadence Virtus basée sur la modélisation analytique. Pour tester et évaluer amplificateur opérationnel CMOS nous devons vérifier chaque spécification sur un grand nombre de paramètres pour assurer que l'amplificateur fonctionne en cas de variation du processus. Les simulations (telles que le gain, et la vitesse de balayage ...) ont également être effectuées. Les résultats des simulations confirment que la méthode proposée peut être utilisée pour tester les paramètres de l'ampli op.